

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-190362

(43)Date of publication of application : 23.07.1996

(51)Int.CI.

G09G 3/28  
G09G 3/36  
G09G 5/10  
H04N 5/20

(21)Application number : 07-018597

(71)Applicant : FUJITSU GENERAL LTD

(22)Date of filing : 11.01.1995

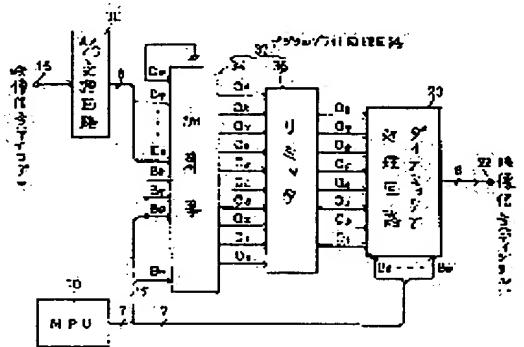
(72)Inventor : URATA EIICHI

## (54) VIDEO SIGNAL PROCESSING DEVICE

### (57)Abstract:

PURPOSE: To provide an image signal processing device which is capable of exact gamma correction.

CONSTITUTION: In an image signal processing device which performs the brightness adjustment and gamma correction of image signals using brightness information and the brightness information (e.g. APL) of image signals, the device is provided with a digital brightness processing circuit 32 which adds brightness information to image signals to conduct brightness adjustment of image signals and a dynamic gamma processing circuit 20 which applies gamma correction to the image signals outputted from the digital brightness processing circuit 32 using brightness information and the brightness information of image signals. And the digital brightness processing circuit 32 is composed of an adder 34 which adds brightness information and image signals using the complement of 2 and a limiter 36 which cuts the bits at the highest and lowest ranks of the output value of this adder 34 and performs brightness adjustment by digital processing to unnecessary analogue brightness adjustment.



## LEGAL STATUS

[Date of request for examination] 20.04.1999

[Date of sending the examiner's decision of rejection] 05.02.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**THIS PAGE BLANK (USPTO)**

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-190362

(43)公開日 平成8年(1996)7月23日

(51)Int.Cl.<sup>a</sup>  
G 0 9 G 3/28  
3/36  
5/10  
H 0 4 N 5/20

識別記号 庁内整理番号  
K 4237-5H  
R 4237-5H  
B 9377-5H

F I

技術表示箇所

審査請求 未請求 請求項の数2 FD (全4頁)

(21)出願番号

特願平7-18597

(22)出願日

平成7年(1995)1月11日

(71)出願人 000006611

株式会社富士通ゼネラル

神奈川県川崎市高津区末長1116番地

(72)発明者 浦田 栄吉

神奈川県川崎市高津区末長1116番地 株式会社富士通ゼネラル内

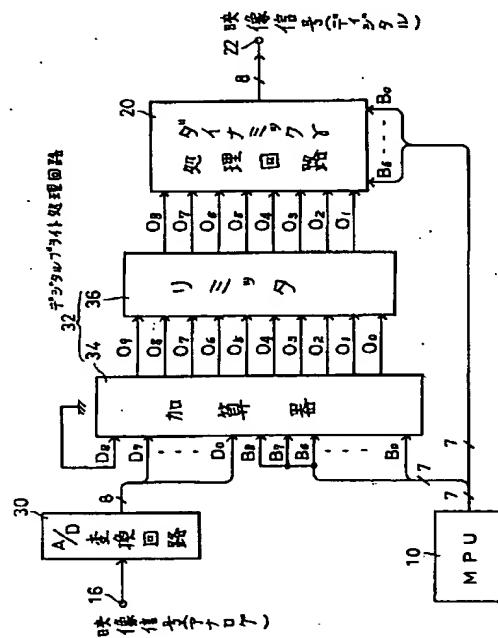
(74)代理人 弁理士 古澤 傑明 (外1名)

(54)【発明の名称】 映像信号処理装置

(57)【要約】

【目的】 正確なガンマ補正の可能な映像信号処理装置を提供すること。

【構成】 ブライト情報及び映像信号の明るさ情報を用いて映像信号のブライト調整及びガンマ補正をする映像信号処理装置において、ブライト情報を映像信号に加算して映像信号のブライト調整をするデジタルブライト処理回路32と、ブライト情報及び映像信号の明るさ情報を用いてデジタルブライト処理回路32から出力する映像信号のガンマ補正をするダイナミックガンマ処理回路20とを具備し、デジタルブライト処理回路32を、2の補数を使用してブライト情報を映像信号を加算する加算器34と、この加算器34の出力値の最上位と最下位のビットをカットして2進符号に変換するリミッタ36とで構成し、ディジタル処理でブライト調整をしてアナログのブライト調整を不要にする。



【特許請求の範囲】

【請求項1】 ブライト情報及び映像信号の明るさ情報を用いて前記映像信号のブライト調整及びガンマ補正をする映像信号処理装置において、前記ブライト情報を前記映像信号に加算して前記映像信号のブライト調整をするデジタルブライト処理回路と、前記ブライト情報及び前記映像信号の明るさ情報を用いて前記デジタルブライト処理回路でブライト調整された映像信号のガンマ補正をするダイナミックガンマ処理回路とを具備してなることを特徴とする映像信号処理装置。

【請求項2】 デジタルブライト処理回路は、2の補数を使用してブライト情報と映像信号を加算する加算器と、この加算器の出力データの最上位と最下位のビットをカットして2進符号に変換するリミッタとからなる請求項1記載の映像信号処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ブライト情報及び映像信号の明るさ情報を用いて前記映像信号のブライト調整及びガンマ補正をする映像信号処理装置（例えばPDP（プラズマディスプレイパネル）用の映像信号処理装置）に関するものである。

【0002】

【従来の技術】 従来、この種の映像信号処理装置は、図2に示すように構成されていた。すなわち、MPU（マイクロプロセッサユニット）10から出力したブライト情報（デジタルデータ）が、D/A（デジタル/アナログ）変換回路12でアナログ信号に変換されてブライト調整回路14に入力すると、このブライト調整回路14は、ブライト情報に基づいて、入力端子16に入力した映像信号（アナログ信号）のブライト調整をする。

【0003】 ブライト調整回路14から出力した映像信号は、A/D（アナログ/デジタル）変換回路18でデジタルの映像信号に変換され、LSI（大規模集積回路）等で構成されたダイナミックガンマ処理回路（以下、単にダイナミックγ処理回路という）20に入力する。このダイナミックγ処理回路20は、MPU10から出力したブライト情報及び映像信号の明るさ情報（例えばAPL（平均映像レベル））に基づいて、A/D変換回路18から出力した映像信号のガンマ補正をして出力端子22に出力していた。

【0004】

【発明が解決しようとする課題】 しかしながら、図2に示した従来の映像信号処理装置では、ブライト調整回路14でのブライト調整をアナログのブライト情報を用いて行っているのに対して、ダイナミックγ処理回路20でのガンマ補正をデジタルのブライト情報を用いて行っていたので、MPU10から出力したデジタルのブライト情報とD/A変換回路12でアナログ変換した後のブライト情報との間に誤差が生じ、正確なガンマ補正

処理ができないという問題点があった。

【0005】 例えば、複数のディスプレイを並列に配置したマルチビジョンの場合、前述のような不正確なガンマ補正処理があると、複数のディスプレイのそれぞれの表示画像の明るさや色調に違いが生じてしまうという問題点があった。

【0006】 本発明は上述の問題点に鑑みられたもので、正確なガンマ補正処理を行うことができる映像信号処理装置を提供することを目的とするものである。

10 【0007】

【課題を解決するための手段】 請求項1の発明は、ブライト情報及び映像信号の明るさ情報を用いて前記映像信号のブライト調整及びガンマ補正をする映像信号処理装置において、前記ブライト情報を前記映像信号に加算して前記映像信号のブライト調整をするデジタルブライト処理回路と、前記ブライト情報及び前記映像信号の明るさ情報を用いて前記デジタルブライト処理回路でブライト調整された映像信号のガンマ補正をするダイナミックガンマ処理回路とを具備してなることを特徴とするものである。

【0008】 請求項2の発明は、デジタルブライト処理回路の構成を簡単にするために、請求項1の発明において、デジタルブライト処理回路を、2の補数を使用してブライト情報と映像信号を加算する加算器と、この加算器の出力データの最上位と最下位のビットをカットして2進符号に変換するリミッタとで構成してなるものである。

20 【0009】

【作用】 請求項1の発明は、デジタルブライト処理回路がブライト情報をデジタル映像信号に加算して映像信号のブライト調整をし、ダイナミックガンマ処理回路がブライト情報及び映像信号の明るさ情報を用いてデジタルブライト処理回路でブライト調整された映像信号のガンマ補正をする。

【0010】 請求項2の発明は、請求項1の発明において、デジタルブライト処理回路は、その加算器が2の補数を使用してブライト情報を映像信号に加算し、リミッタが加算器の出力データの最上位と最下位のビットをカットして2進符号（ストレートバイナリコード）に変換する。

30 【0011】

【実施例】 本発明による映像信号処理装置の一実施例を図1を用いて説明する。図1において図2と同一部分は同一符号とする。図1において、10はMPU、16は入力端子、20はLSI（大規模集積回路）等で構成されたダイナミックγ処理回路、22は出力端子である。30は前記入力端子16に入力したアナログの映像信号を8ビットの2進符号（ストレートバイナリコード）に変換するA/D（アナログ/デジタル）変換回路、32はデジタルブライト処理回路である。

【0012】前記デジタルライト処理回路32は加算器34とリミッタ36で構成されている。前記加算器34は、その一方の入力側には、前記A/D変換回路30から出力する8ビットの映像信号(映像データ)D7～D0に最上位の1ビットD8を加えた9ビットのデータが入力し、他方の入力側には、前記MPU10から出力する7ビットのライト情報B6～B0に上位桁の2ビットB8、B7を加えた9ビットのデータが入力し、その出力側からは、加算によって得られた10ビットの出力データO9～O0が前記リミッタ36に出力するように構成されている。

【0013】前記D8は、「0」のときは正、「1」のときは負を表わす符号ビットで、デジタル映像信号(映像信号)は常に正なので「0」(例えばLレベル)に固定されている。また、前記B8～B0は正負を表わす符号ビットで、前記ライト情報B6～B0の最上位のビットB6と同一レベルに固定されている。上述のような符号ビットを導入することによって、前記加算器34は2の補数を用いた加算を行うように構成されている。

【0014】前記リミッタ36は、前記加算器34から出力した10ビットの出力データO9～O0の最上位と最下位の1ビットO9とO0をカットして2進符号に変換した、8ビットの映像信号O8～O1を前記ダイナミック処理回路20に出力するように構成されている。前記ダイナミック処理回路20は、従来例と同様に、前記MPU10から出力する7ビットのライト情報B6～B0及び前記リミッタ36から出力する8ビットの映像信号O8～O1の明るさ情報(例えばAPL)に基づいて、前記リミッタ36から出力した映像信号O8～O1のガンマ補正をして出力端子22に出力するように構成されている。

【0015】つぎに、図1の実施例の作用を説明する。  
(イ) 入力端子16に入力したアナログの映像信号は、A/D変換回路30によって8ビットの映像信号D7～D0に変換され、最上位の1ビットD8が加えられてデジタルライト処理回路32の加算器34の一方の入力側に入力する。この加算器34にはMPU10から出力したライト情報B6～B0に2ビットB7、B8をえたデータB8～B0(9ビット)が入力しているので、この加算器34の加算によって得られた加算値が出力データO9～O0(10ビット)として出力する。

【0016】(ロ) デジタルライト処理回路32のリミッタ36は、加算器34から出力した10ビットの出力データO9～O0の最上位と最下位の1ビットO9と

O0をカットして、8ビットの2進符号(ストレートバイナリコード)に変換した映像信号O8～O1をダイナミック処理回路20に出力する。

【0017】(ハ) ダイナミック処理回路20は、従来例と同様にして、MPU10から出力する7ビットのライト情報B6～B0及びリミッタ36から出力する8ビットの映像信号O8～O1の明るさ情報(例えばAPL)に基づいて、リミッタ36から出力する映像信号O8～O1のガンマ補正をして出力端子22に出力する。

【0018】前記実施例では、回路構成を簡単にするために、デジタルライト処理回路を加算器とリミッタとによって構成するようにしたが、本発明はこれに限るものではなく、デジタルのライト情報をデジタルの映像信号に加算して映像信号のライト調整をするものであればよい。

#### 【0019】

【発明の効果】請求項1の発明は、上記のように、ライト情報をデジタル映像信号に加算して映像信号のライト調整をするデジタルライト処理回路と、ライト情報及び映像信号情報を用いてデジタルライト処理回路でライト調整された映像信号のガンマ補正をするダイナミックガンマ処理回路とを具備しているので、アナログでのライト調整が不要になり、アナログでライト調整をしていた従来例より正確なガンマ補正処理を行うことができる。このため、マルチビジョンの場合に複数のディスプレイの表示画像の明るさや色調の違いを小さくすることができる。

【0020】請求項2の発明は、請求項1の発明において、デジタルライト処理回路を、2の補数を使用してライト情報を映像信号に加算する加算器と、この加算器の出力データの最上位と最下位のビットをカットするリミッタとで構成したので、デジタルライト処理回路の構成を簡単にすることができる。

#### 【図面の簡単な説明】

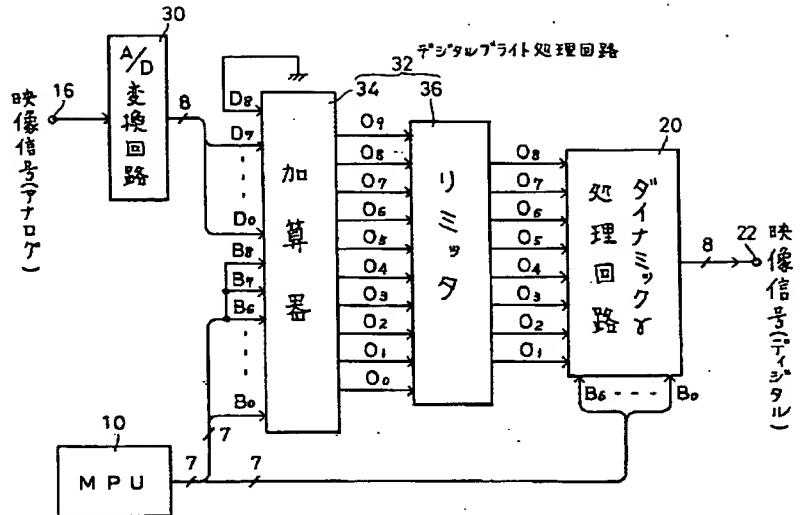
【図1】本発明による映像信号処理装置の一実施例を示すブロック図である。

【図2】従来例を示すブロック図である。

#### 【符号の説明】

10…MPU(マイクロプロセッサユニット)、16…  
40入力端子、20…ダイナミック(ガンマ)処理回路、22…出力端子、30…A/D変換回路、32…  
デジタルライト処理回路、34…加算器、36…  
リミッタ。

【図1】



【図2】

